**DISSENY DIGITAL BÀSIC 2021-2022**

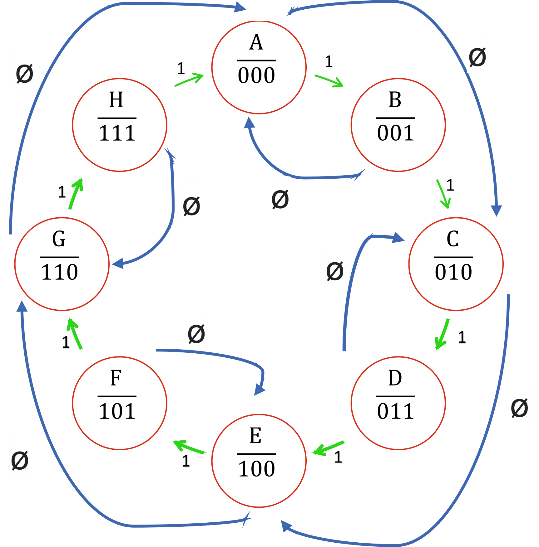
***PRÀCTICA 5: Implementació de màquines d'estats finits***

***(dies 29 i 30 de Novembre, i 1,2,3 de Desembre)***

L'objectiu d'aquesta pràctica és realitzar la implementació d'una màquina d'estats. Per fer-ho, ens fixarem en un cas simple que teniu implementat a teoria: dissenyarem el control electrònic d’un joc d’atzar que tingui una única entrada anomenada ***X***, més el senyal de rellotge ***clock***, i tres bits ***Z2***, ***Z1*** i ***Z0*** com a sortida.

L’entrada X determinarà la natura exacta del canvi a les sortides bits ***Z2***, ***Z1*** i ***Z0***, de forma que si ***X*** = ‘1’, les sortides s’incrementaran en una unitat el seu valor actual en binari natural seguint una seqüència de mòdul 8 (cíclic). En canvi, si ***X*** = ‘0’, les sortides s’incrementaran en 2 el seu valor actual si aquest valor es parell, o disminuirà en una unitat el seu valor actual en cas contrari.

Això ho podem veure en el següent diagrama i la corresponent taula d’estats.



|  |  |  |  |
| --- | --- | --- | --- |
| **Q** | **Q+** | |  |
| **X=ø** | **X=1** | **Z2Z1Z0** |
| **A** | **C** | **B** | **000** |
| **B** | **A** | **C** | **001** |
| **C** | **E** | **D** | **010** |
| **D** | **C** | **E** | **011** |
| **E** | **G** | **F** | **100** |
| **F** | **E** | **G** | **101** |
| **G** | **A** | **H** | **110** |
| **H** | **G** | **A** | **111** |

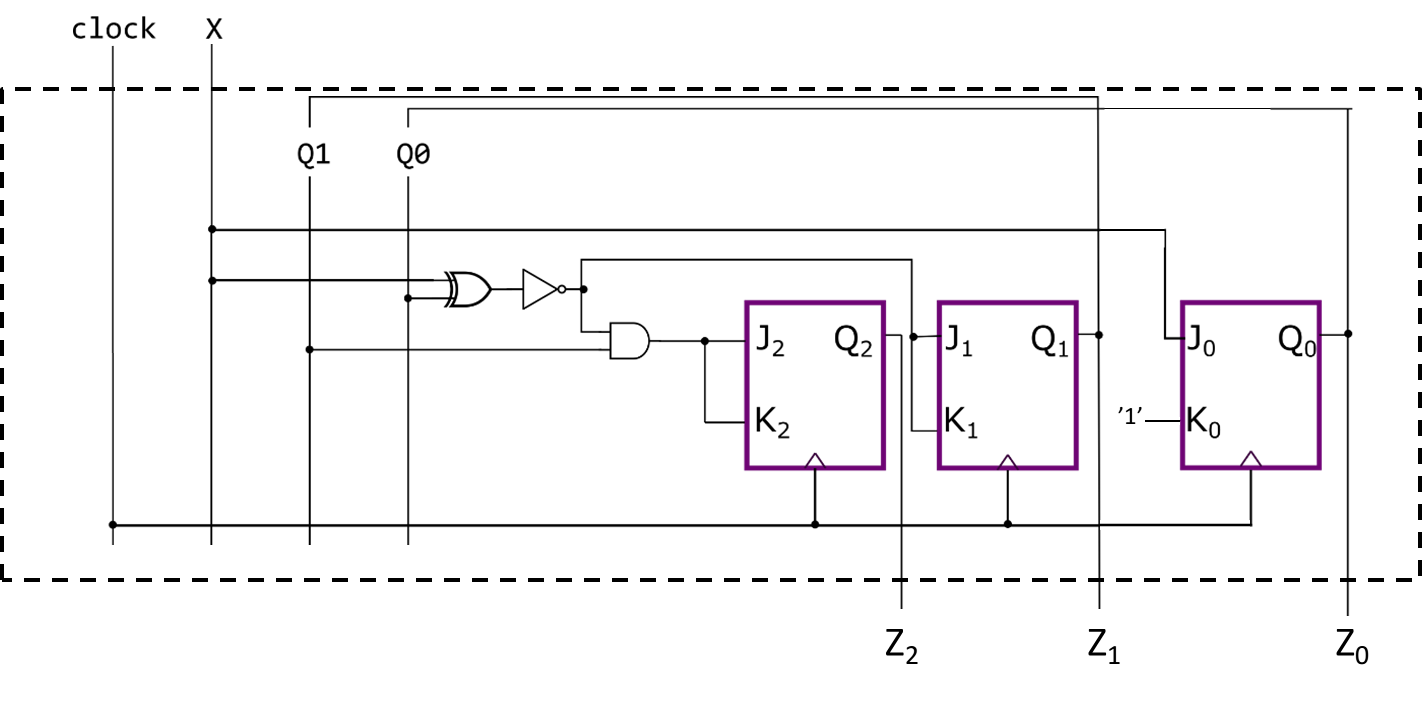
Una vegada fets el diagrama i la taula dels estats presents, futurs i la sortida, hem d’associar els estats presents i les sortides a uns FFs. Com que el sistema passa per 8 estats diferents, això ens obliga a fer servir un mínim de 8 estats; per tant, necessitarem 3 FF’s. Podem veure a la taula que la sortida només depèn de l’estat on estem i no de les entrades, fet que ens indica que és una màquina de “Moore”.

Per la seva implementació, utilitzarem flip-flops JK que s’activaran per flanc de pujada amb el senyal de rellotge. La taula corresponents a tots els estats possibles, els valors de les entrades dels FF’s-JK i les sortides es presenten a la taula següent:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Q2** | **Q1** | **Q0** | **X** | **Q2+** | **Q1+** | **Q0+** | **J2** | **K2** | **J1** | **K1** | **J0** | **K0** | **Z2** | **Z1** | **Z0** |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | x | 1 | x | 0 | x | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | x | 0 | x | 1 | x | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | x | 0 | x | x | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | x | 1 | x | x | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | x | x | 1 | 0 | x | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | x | x | 0 | 1 | x | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | x | x | 0 | x | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | x | x | 1 | x | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | x | 0 | 1 | x | 0 | x | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | x | 0 | 0 | x | 1 | x | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | x | 0 | 0 | x | x | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | x | 0 | 1 | x | x | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | x | 1 | x | 1 | 0 | x | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | x | 0 | x | 0 | 1 | x | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | x | 0 | x | 0 | x | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | x | 1 | x | 1 | x | 1 | 1 | 1 | 1 |

A partir d’aquí, podem simplificar per Karnaugh i establir una relació directe entre l’entrada X i les sortides, fent servir el FF’s-JK, de la forma:

O bé seguint l’esquema del circuit següent que és equivalent a les expressions de dalt:



**Treball a desenvolupar de forma autònoma:**

1. Revisa i comprova el funcionament de la màquina d’estats.
2. Reprodueix la taula de la veritat i simplifica els resultats per tal de comprovar les expressions que hem deduït.
3. Implementa amb el *QuestaSim/ModelSim* el circuit de la figura anterior fent servir una entitat anomenada ***circuit\_pr05*** que tingui com els senyals de ***clock*** i ***X*** com a entrades d’un bit. Considera tres bits per a les sortides ***Z2***, ***Z1*** i ***Z0***, i tingues en compte un retard de 3 ns a les portes lògiques necessàries i als FF\_JKs.

Afegeix també les sortides necessàries per tal de poder visualitzar l’estat al banc de proves, que s’ha d’implementar a la part final del codi, amb el nom de ***bdp\_pr05*** i la seva arquitectura ***test\_pr05***.

Finalment, afegiu un comentari en el codi explicant els canvis que veieu i justifiqueu-los en base a la màquina d’estats.

Haureu de pujar 2 fitxers, SENSE COMPRIMIR:

1. Un fitxer VHD amb les entitats i arquitectures dels biestables i el seu banc de proves. El fitxer es dirà **P5a\_Cognom1\_Cognom2\_Nom\_maquina.vhd** .
2. Una captura de pantalla del cronograma final, en format imatge (.jpg, .png, .tif o.bmp), amb el nom **P5a\_Cognom1\_Cognom2\_Nom\_cronograma.jpg** (o l’extensió corresponent, segons el vostre format d’imatge).

**Aquest és el treball que haureu de pujar a través del campus virtual al menys 48 hores abans de la vostra sessió de pràctiques. Un cop passat aquest temps ja no serà possible pujar els fitxers. Els codis de la part autònoma s’avaluen. Els codis enviats fora del termini de les 48 hores prèvies a les sessions pràctiques es corregiran però no s’avaluaran.**

**Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO ENVIEU ELS CODIS PER AVALUAR PER CORREU ELECTRÒNIC.**